

PAT-NO: JP360154632A
DOCUMENT-IDENTIFIER: JP 60154632 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: August 14, 1985

INVENTOR-INFORMATION:

NAME
KAMATA, CHIYOSHI
OTSUKA, KANJI
HOSOSAKA, HIROSHI
SATO, KAZUYOSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP59010085

APPL-DATE: January 25, 1984

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/758, 257/E21.506

ABSTRACT:

PURPOSE: To efficiently conduct heat generated in a semiconductor chip to a substrate, by providing heat-dissipating wiring sections in a part of multi-layered wirings so as to decrease the thermal resistance of the multi-layered wirings on the substrate.

CONSTITUTION: Heat generated in a semiconductor chip 5 is efficiently conducted to a substrate 1 through soldered bumps 6 connecting the chip to thin

film multilayered wirings 4 and through through-hole wiring sections 4B and heat dissipating wiring sections 4A formed in series. The heat dissipated in the whole thin film multi-layered wirings 4 is absorbed by heat dissipating wiring sections 4A serving as heat sinks, and therefore the thermal resistance of the whole thin film multi-layered wirings 4 can be reduced. The wiring sections 4A and 4B are not required for the purpose of electrical connection, while they are provided for improving the heat dissipation properties in the regions where there are no wirings 4. The wiring sections 4A and 4B are made of copper, gold or aluminium.

COPYRIGHT: (C) 1985, JPO&Japio

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭60-154632

⑬ Int.Cl.
H 01 L 21/60

識別記号 庁内整理番号
6732-5F

⑭ 公開 昭和60年(1985)8月14日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-10085
⑰ 出 願 昭59(1984)1月25日

⑱ 発明者 錦田 千代士 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑲ 発明者 大塚 寛治 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑳ 発明者 細坂 啓 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
㉑ 発明者 佐藤 和喜 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
㉒ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代理人 弁理士 高橋 明夫 外1名

明細書

発明の名称 半導体装置

特許請求の範囲

1. 基板上に設けられた多層配線に半導体チップをフェイスダウンボンディングした半導体装置であって、前記多層配線の一部に熱伝導率の高い放熱用配線部を有することを特徴とする半導体装置。
2. 前記基板として炭化ケイ素を用いたことを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 前記多層配線の一部に直列に形成されるスルホール配線部を有することを特徴とする特許請求の範囲第1項及び第2項記載の半導体装置。
4. 前記多層配線の絶縁体中にその一端を前記基板に接触する熱伝導率の高い放熱専用配線部を有することを特徴とする特許請求の範囲第1項乃至第3項記載の半導体装置。
5. 前記多層配線の一部に設けられた放熱用配線部を放熱用配線及び放熱用金属部材で配線系の電気信号に対するインピーダンスマッチングをとるようとしたことを特徴とする特許請求の範囲第1

項乃至第4項記載の半導体装置。

発明の詳細な説明

【技術分野】

本発明は、半導体装置に係り、特にマルチチップモジュールに適用して有効な技術に関するものである。

【背景技術】

従来のマルチチップモジュールの放熱手段の一つとしてLSiチップをアルミナ基板に直接フェイスダウンボンディングし、LSiチップ裏面に放熱用の金属を接触させる等の構造がとられていた(雑誌「Electronics」June 16, 1982 P 143-)が、アルミナ基板は熱伝導率が小さく充分な放熱効果を挙げることができないばかりでなく、放熱用フィンや液冷ジャケット等をパッケージ材料に直接取り付けることが必要となり、構造が複雑であり、高価であるという難点があることが本発明者の検討の結果明らかになった。

【目的】

本発明の目的は、多層配線を有する半導体装置

内で発生する熱を効率よく放熱することができる技術手段を提供することにある。

本発明の目的は、薄膜多層配線を有する半導体装置において、入出力信号の反射やクロストークを抑えることができる技術手段を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかとなるであろう。

〔発明の概要〕

本願によって開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、基板上に設けられた熱伝導率の高い金属からなる多層配線に半導体チップをフェイスダウンポンディング法によってポンディングした半導体装置であって、前記多層配線の一部に熱伝導率の高い放熱用配線部と、直列に形成されるスルホール配線部の一方若しくは両方を備えたものである。

るために、直列に形成されるスルホール配線部4Bを有している。配線部4A, 4Bは、特に、電気的接続のためには設ける必要がない。多層配線4を設けた際に、放熱性を高めるために、配線4のない領域に設けられる。このように半導体チップ中で発生された熱を基板1へ効率よく伝導するように多層配線を構成している。なお、放熱用配線部4A及びスルホール配線部4Bの材質は、銅(Cu), 金(Au), アルミニウム(Al)等を用いる。5はLSi等の半導体チップであり、5Aは半導体チップ5に設けられた電極、6は半田バンプである。半導体チップ5は前記薄膜多層配線4にフェイスダウンポンディング法によってポンディングされている。

次に、本実施例Iの放熱作用を第1図において説明する。

半導体チップ1で発生した熱は薄膜多層配線4との接続部である半田バンプ6を経由し、直列に形成されたスルホール配線部4B及び放熱用配線部4Aを通って基板1へ効率良く伝導される。ま

以下、本発明の構成について、実施例とともに説明する。

〔実施例I〕

第1図は、本発明の半導体装置の実施例Iを説明するための要部断面図である。

第1図において、1は基板であり、例えば、熱伝導率の高い0.5~3.5重量%のベリリウムを含む炭化ケイ素(SiC)の焼結体(ホットプレス)を用いる。この基板1の材質は、熱伝導率の高いものが好ましいが、これに限定されるものではなく、例えば、アルミナ、酸化ケイ素(SiO₂)、ガラスエポキシ系樹脂等を用いてもよい。2は接続ピン、3は結晶化ガラス、スパッタ法で形成した酸化ケイ素(SiO₂)、ホウケイ酸ガラス等からなる絶縁体、4は銅等の薄膜多層配線であり、この薄膜多層配線4の一部には半導体チップで発生する熱を放熱するための放熱用配線部4Aを有している。特に前記基板1と接続する配線部分にこれを設けると放熱効果が大きい。また、前記薄膜多層配線4の一部には、さらに放熱効果を上げ

た、薄膜多層配線全体に拡がった熱は、放熱用配線部4Aがヒートシンクとなるため、薄膜多層配線4全体の熱抵抗を小さくすることができる。

前記第1図は、1つのLSi等の半導体チップ5の部分を示しており、複数個の半導体チップ5を基板1上に搭載した場合においても同様の効果を発揮することができる。

〔実施例II〕

第2図は、本発明の半導体装置の実施例IIを説明するための要部断面図であり、第1図と同一のものは同一符号を付け、その繰り返しの説明は省略する。

本実施例IIは、前記実施例Iにおいて、さらに放熱をよくするために、第2図に示すように、前記絶縁体3の中に銅(Cu)、金(Au)、アルミニウム(Al)等からなる放熱専用配線部4Cを設けたものである。

前記実施例I、IIにおいて、前記薄膜多層配線4の一部に設けられた放熱用配線部4A及び放熱専用配線部4Cで配線系のインピーダンスマッチン

グを容易にとることができること。

(効果)

以上説明したように、本願で開示した新規な技術手段によれば、次のような効果を得ることができる。

(1) 多層配線の一部に放熱用配線部を設けて基板上の多層配線の熱抵抗を小さくすることにより、半導体チップで発生する熱を基板へ効率良く伝導させることができる。

(2) 多層配線の一部のスルホール配線部を直列に形成して基板上の多層配線の熱抵抗を小さくすることにより、半導体チップで発生する熱を基板へ効率良く伝導させることができ、半導体装置の放熱効果を向上させることができる。

(3) 絶縁体中に放熱専用配線部を設けて基板上の多層配線の熱抵抗を小さくすることにより、半導体チップで発生する熱を基板へ効率良く伝導させることができる。

(4) 前記(1)、(2)、(3)の放熱用配線部でインピーダンスマッチングを容易にとること

ができる。

(5) 前記(1)乃至(4)によりマルチチップモジュールをコンパクトに実現することができる。

以上本発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されることなく、その要旨を逸脱しない範囲において、種々変更可能であることは言うまでもない。例えば、放熱用配線部及び放熱専用配線部の形状、位置等は放熱効率を向上させるものであれば、どのようなものでもよい。

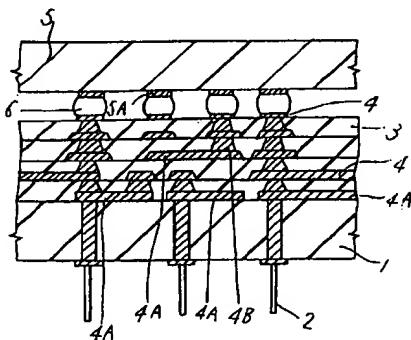
図面の簡単な説明

第1図は、本発明の半導体装置の実施例Iを説明するための要部断面図。

第2図は、本発明の半導体装置の実施例IIを説明するための要部断面図である。

図中、1…基板、2…接続ピン、3…絶縁体、4…薄膜多層配線、4A…放熱用配線部、4B…スルホール配線部、4C…放熱専用配線部、5…半導体チップ、5A…電極、6…半田バンプ。

第 1 図



第 2 図

